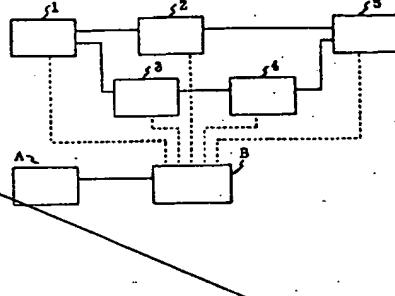


~~(54) MAINTENANCE SYSTEM FOR SOFTWARE KEPT IN CONTINUOUS OPERATION STATE~~

(11) 5-274139 (A) (43) 22.10.1993 (19) JP
 (21) Appl. No. 4-97313 (22) 25.3.1992
 (71) TAKAOKA ELECTRIC MFG CO LTD (72) RYOICHI ISHIHARA
 (51) Int. Cl^s. G06F9/06

~~PURPOSE:~~ To provide a system which can secure the direct maintenance of software with a single operation without shutting down the operation of a computer system and requires no recovering operation for the software into an operable state.

~~CONSTITUTION:~~ A maintenance cooperation control program A is added to a computer system, and a maintenance operation system command is produced when an operator designates the software 2-5 which should be maintained. Then, the programs 2-5 which temporarily shuts down the processings of all programs 1-5 included in the operation system command are maintained by the program A via a maintenance control program B. Then, the programs 1-5 included in the operation control command are processed again.

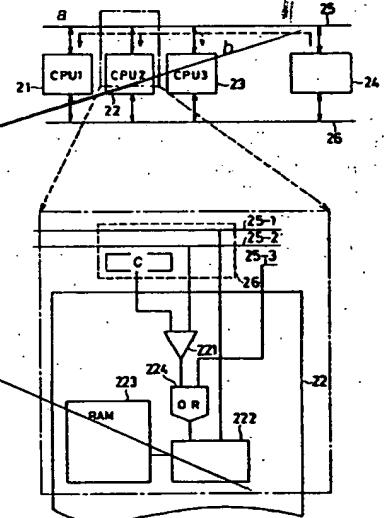


~~(54) PROGRAM LOADING SYSTEM~~

(11) 5-274141 (A) (43) 22.10.1993 (19) JP
 (21) Appl. No. 4-71952 (22) 30.3.1992
 (71) TOSHIBA CORP(1) (72) MASAYA NAKAO(1)
 (51) Int. Cl^s. G06F9/24, G06F9/445

~~PURPOSE:~~ To start a program loading system at a high speed by loading simultaneously the microprograms to plural CPUs.

~~CONSTITUTION:~~ The loading start commands are inputted to the CPU 21-23 from a service processor 24 with the potential set on an exclusive communication signal line 25-3 or the command set on a data bus 25-1. The output of a gate circuit 224 becomes active in response to the loading start command or the address coincidence signal sent from a comparator 221. Therefore, the control circuits 222 of all CPU 21-23 are set in the receivable states when the loading start commands are received from the processor 24. Thus, it is possible to simultaneously load the microprograms to the CPU 21-23 with the loading start commands.



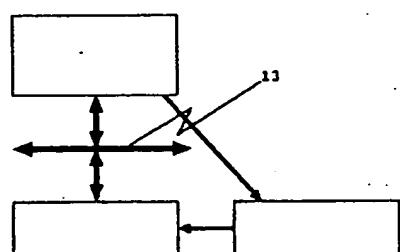
22: inside of CPU, 25: maintenance-only bus, 25-2: address bus,
 26: system bus, a: slot, b: firmware loading, c: slot
 No

~~(54) PSEUDO EXECUTING DEVICE FOR INSTRUCTION~~

(11) 5-274142 (A) (43) 22.10.1993 (19) JP
 (21) Appl. No. 4-101728 (22) 27.3.1992
 (71) NEC CORP (72) SATOSHI MATSUSHITA
 (51) Int. Cl^s. G06F9/30, G06F11/22

~~PURPOSE:~~ To realize high-speed processing with a simple hardware to carry out an actual instruction not to perform the pseudo execution of the instruction by software.

~~CONSTITUTION:~~ When a hardware device which backs up the pseudo execution of the read instruction of a microprocessor 10 is applied, the microprocessor 10 writes previously the desired data to be put on a data bus into a result register 11 and then carries out again a memory read instruction. Then the hardware device detects the second execution of the read instruction and supplies the contents of the register 11 to the data bus of the microprocessor 10. The microprocessor 10 completes the execution of the read instruction. Then the hardware device consists of the register 11 which stores the desired data to be falsely read and an instruction re-execution detecting circuit 12.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-274142

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl*

G 06 F 9/30
11/22

識別記号 380 R 9189-5B
360 B 8323-5B

F I

技術表示箇所

審査請求 未請求 第求項の数1(全4頁)

(21)出願番号 特開平4-101728

(22)出願日 平成4年(1992)3月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松下 智

東京都港区芝五丁目7番1号 日本電気株式会社内

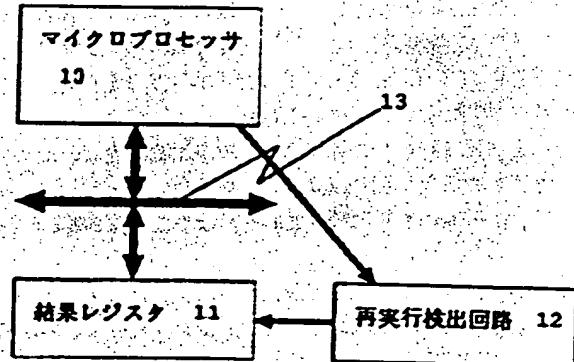
(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】 命令疑似実行装置

(1)【要約】

【目的】 RISCプロセッサはスタックフレームを生成しないため、リード命令の疑似実行はソフトウェアを用いて行なう必要があった。本発明の目的はソフトウェアによる命令の疑似実行ではなく、実際の命令実行として行なうため高速な処理を簡単なハードウェアで実現することにある。

【構成】 本発明は、マイクロプロセッサのリード命令の疑似実行を支援するハードウェア装置である。本発明の装置を用いた場合、マイクロプロセッサは、あらかじめデータバスに載せたいデータを結果レジスタに書き込んだのち、メモリリード命令の再実行を行なう。本発明の装置は命令の再実行を検出し結果レジスタの内容をマイクロプロセッサのデータバスに供給する。このデータを用いてマイクロプロセッサはリード命令の実行を完了する。本装置は、疑似的に読み出したいデータを格納する結果レジスタ11と命令の再実行検出回路12から構成される。



ブロック図

【特許請求の範囲】

【請求項1】マイクロプロセッサのメモリリード命令を疑似的に実行するために、疑似的に読み出したいデータを格納する結果レジスタと、マイクロプロセッサの命令再実行を検出して前記結果レジスタの内容をマイクロプロセッサのバスに転送する回路とを含む装置であつて、マイクロプロセッサが前記結果レジスタに疑似実行によりリードされるデータを書きこんだのち、実際にリード命令を実行し、これに対し前記命令再実行検出回路が応答し前記マイクロプロセッサのデータバスに前記結果レジスタに書き込まれた前記データを截せることでリード命令の疑似実行を行なうことを特徴とする命令疑似実行装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロプロセッサのメモリリード命令を疑似的に実行する命令疑似実行装置に関するものである。

【0002】

【従来の技術】C I S C型のマイクロプロセッサでは、例外発生時にスタック上に再実行のためのデータが格納される。そして、この再実行のためのデータのうち、読み込み値を示す部分を操作することで、実際に実装されていないメモリアドレスへのメモリアクセスを実現することができる。これを用いると、メッセージ通信で結合されたメッセージベースのマルチプロセッサ装置を用いて、他のマシンのメモリが直接アクセスできる共有メモリ型のマシンの環境をエミュレートすることが可能であった。

【0003】R I S C型のマイクロプロセッサでは、スタックフレームは作成されず、例外時のプロセッサ状態をソフトウェアから参照したり、例外復帰時のレジスタの状態をあらかじめ変更してから例外から復帰する前記の手法は利用できない。そのかわり、R I S Cプロセッサでは、メモリ参照のための命令の数が比較的少ないため、ソフトウェアで例外を起こした命令をエミュレートして疑似アドレスからの読み込みを行なうことになる。

【0004】

【発明が解決しようとする課題】しかし、最近のR I S Cプロセッサでは、数種類のアドレッシングモードを持つなど、比較的複雑な命令を持つものが増え、共有メモリマシンの環境をエミュレートする場合、命令のエミュレーションによる方法では十分な速度が得られない問題があった。

【0005】

【課題を解決するための手段】本発明に係る命令疑似実行装置は、マイクロプロセッサのメモリリード命令を疑似的に実行するための装置で、疑似的に読み出したいデータを格納する結果レジスタと、マイクロプロセッサの命令再実行を検出して前記結果レジスタの内容をマイク

ロプロセッサのバスに転送する回路とを含む装置であつて、マイクロプロセッサが前記結果レジスタに疑似実行によりリードされるデータを書きこんだのち、実際にリード命令を実行し、これに対し前記命令再実行検出回路が応答し前記マイクロプロセッサのデータバスに前記結果レジスタに書き込まれた前記データを截せることでリード命令の疑似実行を行なうことを特徴とする。

【0006】

【作用】本発明のハードウェアによって、マイクロプロセッサはデータを結果レジスタに書き込む処理を行なつたのち、メモリアクセス命令を再実行することで、前記データの疑似的なメモリフェッチを実現することができる。

【0007】

【実施例】本発明になる命令疑似実行装置の実施例について、図1、図2及び図3を参照して説明する。図1はその実施例の構成を示すブロック図、図2はその実施例に関するアドレスマップ、図3はその実施例における再実行検出回路12の状態遷移図である。本実施例の動作としてマイクロプロセッサ10が、アドレスX20のデータを読み込む処理を疑似実行する場合について示す。

【0008】再実行検出回路12の状態遷移を図3に示す。すなわち、再実行検出回路12は、結果レジスタ11にデータが存在する時のアドレスALからAHまでの領域21へのリードアクセスを命令再実行によるものであるとみなし、結果レジスタ11のデータをバス13に供給する。また、再実行検出回路12は、結果レジスタ11にデータが存在しない時のアドレスALからAHまでの領域21へのリードアクセスは疑似的にリード命令実行を行なうべきと判定し、マイクロプロセッサにバスエラーとして疑似実行を要求する。

【0009】本装置を用いて、以下の様にリード命令R1の疑似実行を行なう。

1. マイクロプロセッサ10はリード命令R1を実行しアドレスX20をリードする。

2. 再実行検出回路12は、マイクロプロセッサにバスエラーを発行する。

以下バスエラーチーン

3. マイクロプロセッサ10はバスエラーチーンに入り、疑似実行の結果として読み込まれるデータDを用意する。

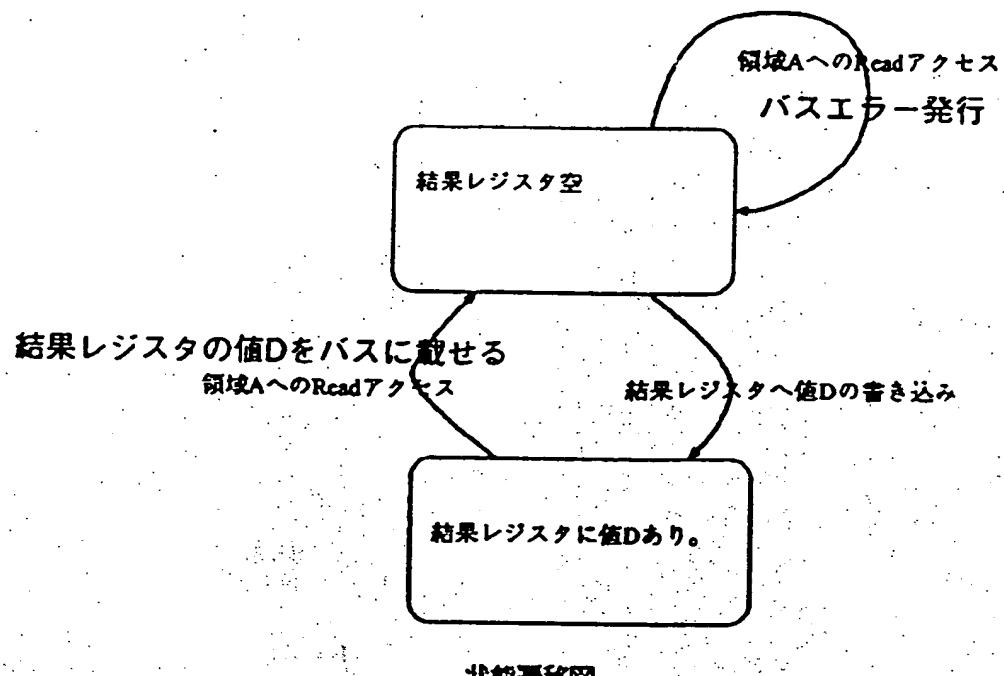
4. マイクロプロセッサ10は、データDを結果レジスタ11にアドレスR22から書き込む。

バスエラーチーンから復帰

5. マイクロプロセッサ10はアドレスX20を指定して命令R1の再実行を行なう。

6. 再実行検出回路12は、アドレスX20へのアクセスが領域A21に入っていることから、これが再実行によるものであると判定し、結果レジスタ11の値Dをバス13に供給する。

【図3】



7. マイクロプロセッサ10は、値Dをバスから取り込み再実行としてリード命令R1疑似実行を完了する。
8. マイクロプロセッサ10はリード命令R1の次の命令の実行に移行する。

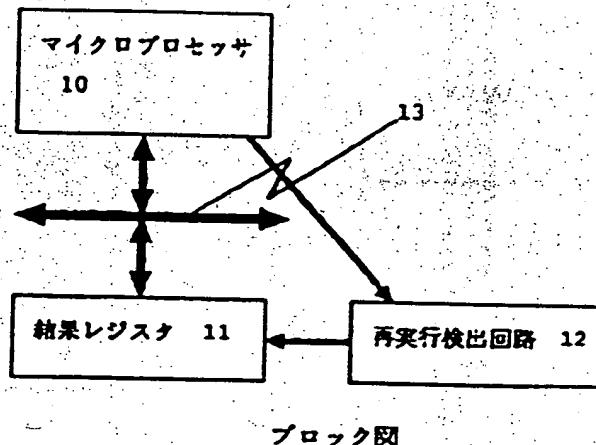
【0010】

【発明の効果】本発明の命令疑似実行装置では、ハードウェアが簡素であるうえに、ソフトウェアによるエミュレーションを伴わないから、高速な処理が可能である。本発明の命令疑似実行装置は、共有メモリを持たない並列マシンにおいて疑似的に共有メモリ環境を高い性能で実現するために有効である。

【図面の簡単な説明】

【図1】本発明の実施例の構成図である。

【図1】



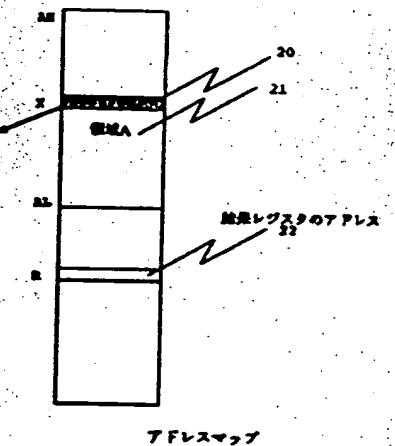
【図2】図1の実施例におけるアドレスマップを示す図である。

【図3】図1の実施例における再実行検出回路の状態遷移図である。

【符号の説明】

10	マイクロプロセッサ
11	結果レジスタ
12	再実行検出回路
13	バス
20	疑似読みだしアドレスX
21	領域A
22	結果レジスタのアドレスR

【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.